

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-264339

(43)Date of publication of application : 29.10.1990

(51)Int.Cl.

G06F 11/28

(21)Application number : 01-084857

(71)Applicant : HITACHI LTD
HITACHI COMPUTER ELECTRON CO
LTD

(22)Date of filing : 05.04.1989

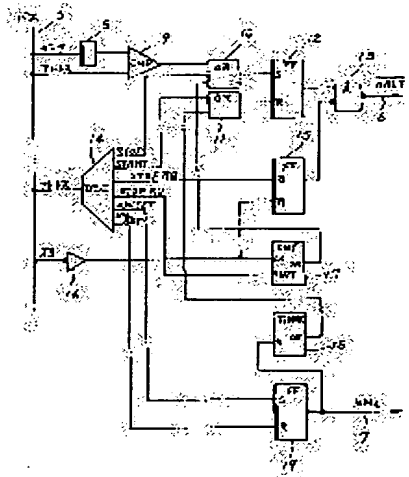
(72)Inventor : ENOMOTO HIROMICHI
KURAMOTO MASAYUKI
MATSUYAMA NOBUHITO

(54) INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To supervise and change an internal state while controlling the running state of a microprocessor by providing a control function which can optionally start or stop and so on the microprocessor from an external input/output device.

CONSTITUTION: Address setting information inputted from an input/output device 20 is set in a register 8 through an I/O adapter 4 and a bus 5. This set data and the address of the bus 5 are compared by a comparison circuit 9. At the time of coincidence, a flip flop 12 is set through an OR gate 10. At that time, since the bus cycles of plural times were executed, the flip flop 15 is set in a set state. Next, in the case to execute start/stop control by the input/output device 20, a corresponding command is inputted to a decoder 14. the flip flop 12 is set by a STOP signal, and is reset by a START signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

平2-264339

⑤Int. Cl.⁵

識別記号

庁内整理番号

⑬公開 平成2年(1990)10月29日

G 06 F 11/28

3 1 5 A

7343-5B

審査請求 未請求 請求項の数 4 (全6頁)

⑭発明の名称 情報処理装置

⑯特 願 平1-84857

⑰出 願 平1(1989)4月5日

- ⑱発明者 榎本 博道 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内
- ⑱発明者 倉本 雅之 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内
- ⑱発明者 松山 信仁 神奈川県秦野市堀山下1番地 株式会社日立コンピュータエレクトロニクス内
- ⑲出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
- ⑲出願人 株式会社日立コンピュータエレクトロニクス 神奈川県秦野市堀山下1番地
- ⑳代理人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

情報処理装置

2. 特許請求の範囲

1. マイクロプロセッサと、該プロセッサを制御するプログラムを格納するメモリと、前記プロセッサおよび前記メモリに接続される入出力装置とを備えた情報処理装置に於て、前記入出力装置から前記マイクロプロセッサを停止および起動の制御を行う第1の手段と、前記入出力装置から前記マイクロプロセッサの内部状態を制御する第2の手段とを設けたことを特徴とする情報処理装置。
2. 前記第1の手段は、前記入出力装置からアドレスを設定可能なアドレスデータ設定回路と、該アドレスデータ設定回路と、前記マイクロプロセッサが出力するアドレスデータとを比較する手段を含むことを特徴とする特許請求の範囲第1項記載の情報処理装置。
3. 前記第2の手段は、前記第1の手段により起

動され前記マイクロプロセッサの割込み機能を制御し、前記マイクロプロセッサ1の内部状態に対する読み出しおよび書き込みを行う手段を含むことを特徴とする特許請求の範囲第1項記載の情報処理装置。

4. 前記第2の手段は、前記マイクロプロセッサの所定のバスサイクルを計数して前記マイクロプロセッサを停止させる手段を有することを特徴とする特許請求の範囲第1項記載の情報処理装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、マイクロプロセッサを用いた情報処理装置に係り、特にプログラムのデバックに好適な情報処理装置に関する。

〔従来の技術〕

マイクロプロセッサを用いた情報処理装置に於て、そのデバックを行う時、例えば任意のアドレスでプログラムを停止、シングルステップ実行など、任意にプロセッサの走行状態を制御しながら

その内部状態（例えば、プログラムカウンタ、汎用レジスタなど）の監視および変更をする機能は必須のものである。しかし、プロセッサとして汎用のマイクロプロセッサを用いたシステムでは、マイクロプロセッサの構造上、プログラムからその内部状態を自由に操作することは可能であるが、周辺ハードウェアから直接内部状態を操作することは不可能である。

そこで、このようなシステムに於ては、一般的にマイクロプロセッサの代りに、各種デバック機能をもった装置（例えば、設定した任意アドレスのプロセッサストップ、シングルステップ、プロセッサのプログラムカウンタや汎用レジスタ等の出力、書き替えなどが任意に行えるエミュレータ装置）を接続して必要なデバックを行っていた。

しかし、これは各種マイクロプロセッサ毎に専用装置となること、また通常のマイクロプロセッサと入れ替える必要があるため、短期的には使用できても長期的には使用できない。

つまり、この装置を接続できない時は、そのプ

のものであるため経済性が悪い。

本発明の目的は、上記問題点に対処するものであり、マイクロプロセッサを用いたシステムに常に一定のデバック環境を周辺ハードウェアにより提供することにある。

〔課題を解決するための手段〕

上記目的を達成するため、本発明ではマイクロプロセッサの周辺ハードウェアとして、

- ① マイクロプロセッサを外部入出力装置から任意に起動および停止の制御する機能
- ② マイクロプロセッサが出力するアドレスと、入出力装置が予め設定したアドレスが一致した時にマイクロプロセッサを停止させる機能
- ③ マイクロプロセッサに対して、シングルステップによる実行制御をする機能
- ④ 外部よりNM_i (NON MASKABLE INTERRUPT) を与え、その割込みプログラムとして、マイクロプロセッサの内部状態に対する読み出しおよび書き込みを行い、さらに、そのプログラムからの起動によりマイクロ

プログラム上の要所にデバック用の専用命令を置き、ソフトウェアによる割込みを発生させてデバックを行う必要があった。なお、この種の技術として関連するものには特開昭63-56742号公報「割込要求信号発生回路」等がある。

〔発明が解決しようとする課題〕

マイクロプロセッサを用いたシステムのデバックを行う上で、前述したエミュレータ装置を用いた場合は、前述したように、短期的には有効であるが、長期的にはその装置が接続できない時のデバック手段がなくなるといことで、常に一定のデバック環境を提供することができない。

つまり、この装置が接続できない時は、既存のプログラムにデバック用の専用命令を置いてデバックを実施するしかなく、そのプログラム過程におけるマイクロプロセッサの内部状態の監視および書き替えは不可能であり、その過程を意識しながらその専用命令をプログラム上に加える必要があり、デバック効率が著しく悪くなる。

さらに、この装置は、各種プロセッサ毎に専用

プロセッサの割込みからの復帰を監視して、マイクロプロセッサがその割込みを与える以前のところでそのプロセッサを停止させる機能
以上の機能を合わせもつことにより、マイクロプロセッサの走行状態を制御しながら、その内部状態の監視および変更を行える。

〔作用〕

前述した機能により、周辺ハードウェアにて、マイクロプロセッサの走行状態を任意にスタート、ストップしながらその内部状態をマイクロプロセッサの下記機能に着目し、監視および変更を実施する。

- ① マイクロプロセッサのNM_iは、割込み抑止ができないため、マイクロプロセッサのいかなる状態においてもその処理要求として与えられる。
- ② マイクロプロセッサは割込みにより、その時の内部状態を、マイクロプロセッサ自身が必要とする、PC (Program Counter), SR (Status Register) をスタックとして定義する外部メモリにセーブする。またユーザがプロ

グラム上使用する複数の内部レジスタもプログラマ的にスタックエリアにセーブして記憶できる。

③さらにこの割込みから元の状態に復帰する時は、前記②でセーブした情報をマイクロプロセッサにロードすればよい。

④さらに前記③のスタック上の内容を任意に書替えることで、内部状態を任意に変更することが可能である。

つまりマイクロプロセッサがストップ状態の時に上記割込みを与え、スタートし、その割込みに対応したデバック用プログラムを実行させる。ここで、その割込み処理から元の状態に戻る時に、専用命令(例えばIRET(INTERRET RETURN))を実行するため、その命令によるスタックエリアのロード回数を周辺ハードウェアで監視し、割込み処理の終了を検出して、マイクロプロセッサをストップさせる。

以上により、マイクロプロセッサの走行状態を任意に制御しながら、その内部状態の監視および

変更を行える。

[実施例]

以下、本発明の一実施例を図面により詳細に説明する。

第1図は、本発明の情報処理装置の一実施例を示すブロック図であり、1はマイクロプロセッサ、2はマイクロプロセッサ1のコントローラ、3はメモリ、4はI/Oアダプタ、5はバス、6および7はコントローラ2からマイクロプロセッサ1を制御するそれぞれH A L T信号およびN M I信号、20はI/Oアダプタ4を介してシステムに接続される入出力装置を示す。

第2図は、コントローラ2の詳細図で、8はアドレスコンペアストップを行うアドレスをバス5を介して設定するレジスタ、9はフリップフロップ8とバス5のアドレスとを比較するコンペア回路、10および11はオアゲート、13はアンドゲート、16はインバータ、12はマイクロプロセッサ1のスタート/ストップを制御するH A L T信号6のフリップフロップ、15はマイクロプロ

セッサ1のシングルステップを制御するフリップフロップ、14はバス5のアドレスにより各種制御信号を発生するデコーダ、17はマイクロプロセッサ1のバスサイクルをカウントするカウンタ、18はN M I信号7をマイクロプロセッサ1に与えた後、H A L T信号6をネゲートするためのタイマを示す。

第3図は、マイクロプロセッサ1の動作を示すタイムチャートで、1バスサイクルを示し、このプロセッサをストップする時のH A L T信号のタイミングも示す。

第4図はマイクロプロセッサ1の制御になるスタックエリアを示す図で、S Pはマイクロプロセッサのスタックポインタであり、そのアドレスに対応するスタックの内容を示し、P Cはプログラムカウンタ、S Rはステータスレジスタ、AレジスタおよびBレジスタはユーザが使用する汎用レジスタであり、④はマイクロプロセッサ1のセーブ順序を示し、⑤はマイクロプロセッサ1のロード順序を示す。S Pは各内容のセーブ毎に+1さ

れ、ロード毎に-1される。

第5図は、I/Oアダプタ4を介して入出力装置20とマイクロプロセッサ1とが通信をするためのメモリ3上のインタフェースエリアを示す図で、P C, S R, AレジスタおよびBレジスタは第4図と同様、またアドレスXの内容のうち、R/W 25はデータ'1'でスタックエリア中のP C, S R, AレジスタおよびBレジスタのリード指示をし、データ'0'でこれらレジスタのライト指示をすることを示し、P C W 26, S R W 27, A W 28およびB W 29はライト指示の時意味をもち、そのデータが各々'1'の時に、第4図スタックエリアのそれぞれP C, S R, AレジスタおよびBレジスタをアドレスX+1~X+4の内容によって書き替えることを示す。

第6図は、N M I信号7によるマイクロプロセッサ1の処理フローを示す。

まず第1図~第3図により、入出力装置20により予め設定したアドレスになった時にマイクロプロセッサ1をストップする動作を説明する。入

出力装置20から入力されたアドレス設定情報は、I/Oアダプタ4、バス5を介しレジスタ8に設定される。これによりこの設定データとバス5のアドレスは、コンパ回路9により比較され、一致した時、ORゲート10を介しフリップフロップ12をセットする。この時複数回のバスサイクルが実行されているため、フリップフロップ15はリセット状態である。すなわちアンドゲート13を介しHALT信号6がマイクロプロセッサ1に与えられ、同プロセッサのストップ制御を行う。

次に、入出力装置20により任意にマイクロプロセッサ1のスタート/ストップ制御を行うときの動作を示す。入出力装置20から入力されたコマンドは、同様にバス5を介してデコーダ14に入力される。この結果によりマイクロプロセッサ1をストップする時は、STOP信号がオアゲート10を介しフリップフロップ12をセットし同ストップを行う。また同プロセッサをスタートする時は、デコーダ14のSTART信号がオアゲ

ート11を介しフリップフロップ12をリセットし同スタートを行う。

さらにマイクロプロセッサ1のシングルステップを行う時は、マイクロプロセッサ1がストップ状態となっている時、つまりフリップフロップ12が、セットされている時、入出力装置20より同様にバス5およびデコーダ14を介しSTEP RQがフリップフロップ15にセットされる。この出力により、アンドゲート13は抑止となりHALT信号6はネゲートされる。つまりマイクロプロセッサ1はスタートしアドレスおよびAS (Address Strohe) を出力しバスサイクルを開始する。このASの出力により、フリップフロップ15はリセットされ、アンドゲート13を介しHALT信号6がアサートされる。これにより、マイクロプロセッサ1はストップ状態となる。すなわちこれによりシングルステップが実行できる。

以上によりマイクロプロセッサ1の走行状態は入出力装置20により任意に制御できる。

次に第1図～第6図より、マイクロプロセッサ1の内部状態を監視および変更する動作を説明する。上記した手順によりストップ状態となったマイクロプロセッサ1に対して、まず内部状態のリード動作を説明する。入出力装置20はメモリ3上のインタフェースエリアのアドレスXにR/Wをデータ'1'として設定し、次にデコーダ14を介しNM_iセット(NM_iSET)のコマンドを選出する。これによりフリップフロップ19がセットされ、NM_i信号7をマイクロプロセッサ1に与える。タイマ18は、このNM_i信号7によって起動され、マイクロプロセッサ1で充分サンプルされるだけの時間をもって出力し、オアゲート11を介しフリップフロップ12をリセットする。これによりマイクロプロセッサ1は、このNM_i7の割込処理を開始する。これによりマイクロプロセッサは、自らPC及びSRをアドレスSP、SP+1のスタックエリアにセーブする(ステップ31)。次に割込プログラムでAレジスタおよびBレジスタをそれぞれアドレス

SP+2およびSP+3にセーブする(ステップ32, 33)。入出力装置20からのコマンドをインタフェースエリアのアドレスXにあるR/W25によりリード指示と判定した(ステップ34R)プログラムは、スタック上のPC, SR, AレジスタおよびBレジスタの内容を上記インタフェースエリアに転送する。次に、割込終了処理として、AレジスタおよびBレジスタのロードを行い(ステップ36, 37)、デコーダ14を介しNM_iRST(NM_iリセット)をフリップフロップ19に与え(ステップ38)、またストップ要求(STOP RQ)をカウンタ17に与える(ステップ39)。カウンタ17はこれで起動され、バス5の制御信号(AS)をカウントし、マイクロプロセッサがSR及びPCをIRET命令により自らロードする(ステップ40)ときのバス5のアクセス回数をカウントし、PCがロード終了値になったら出力をオアゲート10を介しフリップフロップ12をセットする。これによりマイクロプロセッサが割込処理をする前のストップ

となっていた状態に完全に復元する。この終了状態を μ アダプタ4が検出し、インタフェースエリアのPC, SR, AレジスタおよびBレジスタの内容を入出力装置20に表示する。

次にマイクロプロセッサ1の内部状態のライト指示について動作を説明する。ステップ31～33の動作は上記と同じである。入出力装置20からインタフェースエリアのアドレスXにR/W25をデータ'0'として、かつPCW26, SRW27, AW28およびBW29で書替を行うビットのデータを'1'とする。ここではPCW='1'とした場合について説明する。このとき入出力装置20は書き替えるPCのデータをアドレスX+1に設定する。ここで前記と同様にマイクロプロセッサ1を起動し、割込みプログラムで、インタフェースエリアのR/W='0', PCW='1'を判断し(ステップ34W)、インタフェースエリアのPCのデータをスタックエリアのアドレスSPの位置に書き込む(ステップ41)。以下前述した内容と同様に割込終了処理を行う

(ステップ36～40)。

以上により、周辺ハードウェアでマイクロプロセッサ1の走行状態を任意に制御しながらその内部状態の監視および変更を任意に実施できる。

なお、本実施例ではユーザの使用するレジスタをAレジスタおよびBレジスタの2個として説明したが、これが任意の数であっても容易に実現できることは明確である。

さらに、上記単機能をもつコマンドを複数個組合せたものを1つのコマンドとして実施することも容易である。

以上、本実施例によれば次のような効果がある。

- ①システムとして常に一定のデバック環境が構築でき、かつハードウェアレベルで制御可能なため、きめ細いデバック手段が提供でき、そのデバックをする上での効率向上が図れる。
- ②マイクロプロセッサ毎に専用の高価なエミュレータ装置を必要とせず、経済性に優れている。
- ③システム全体に占める本ハードウェア量が少ないため容易にLS化が実現できる。

〔発明の効果〕

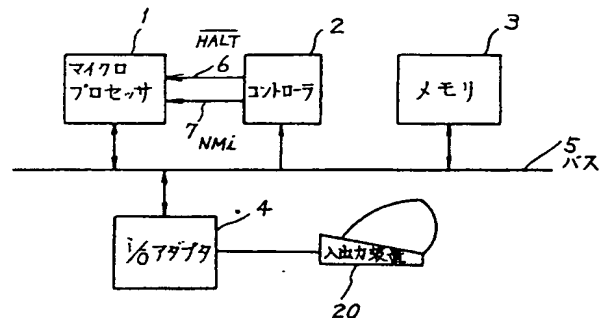
以上説明した様に、本発明によれば、システムとして少ないハードウェアで常に一定のデバック環境を提供できるということで、デバック効率の高い情報処理装置が構築できるという効果がある。

4. 図面の簡単な説明

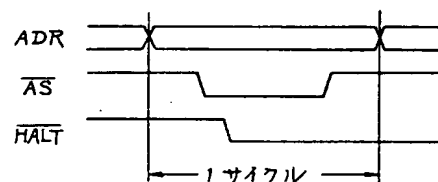
第1図は本発明の情報処理装置の一実施例を示すブロック図、第2図はコントローラ2の内部構成を示すブロック図、第3図はマイクロプロセッサ1の動作を示すタイムチャート、第4図はスタックエリアの構成を示す図、第5図はインタフェースエリアの構成を示す図、第6図は割込み処理の流れを示すフローチャートである。

1…マイクロプロセッサ、2…コントローラ、3…メモリ、4… μ アダプタ、5…バス、6…HALT信号、7…NMI信号。

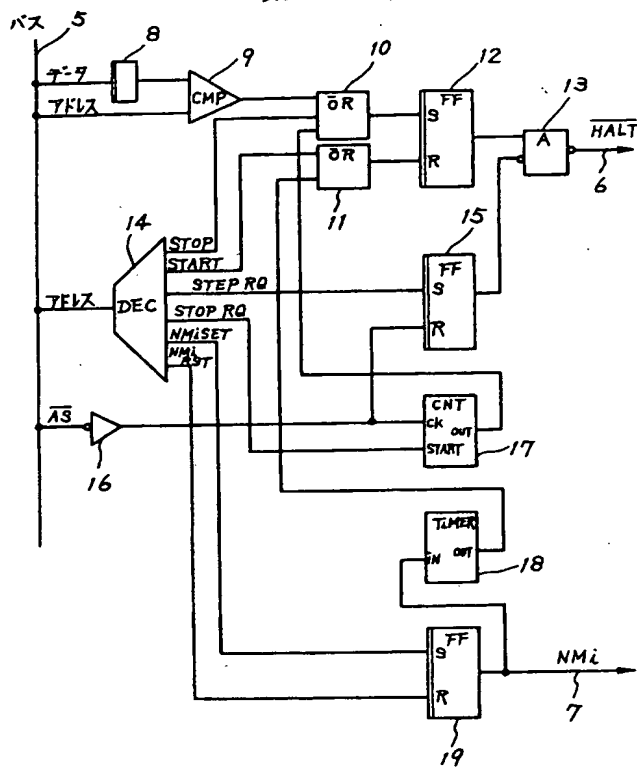
第1図



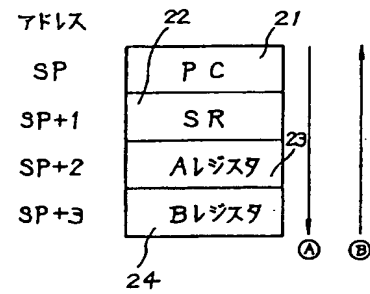
第3図



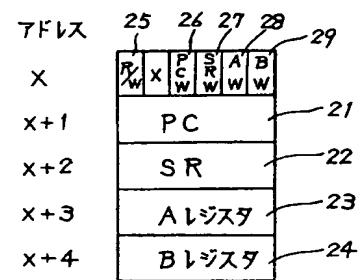
第 2 図



第 4 図



第 5 図



第 6 図

